

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06324864 A

(43) Date of publication of application: 25 . 11 . 94

(51) Int. Cl

G06F 9/38
G06F 12/08

(21) Application number: 05111584

(71) Applicant: TOSHIBA CORP

(22) Date of filing: 13 . 05 . 93

(72) Inventor: YAMAGAMI NOBUHIKO
NAKADA YASUMASA

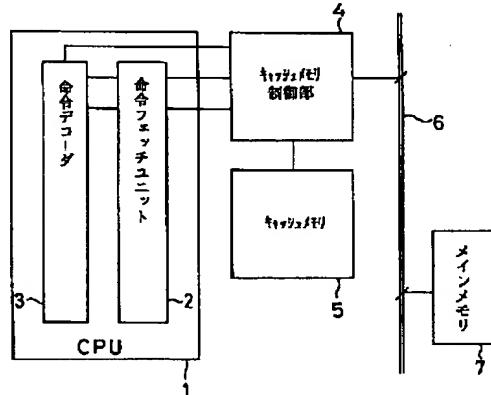
(54) BRANCH PREDICTING SYSTEM

(57) Abstract:

PURPOSE: To provide a branch predicting system capable of fetching an instruction following a conditional branch instruction in a CPU at high speed in system configuration of pipeline control system.

CONSTITUTION: This system is constituted in such a way that branch prediction can be performed by the CPU 1 operated by the pipeline control system, and judgement for the execution of the branch prediction is rendered corresponding to the notification of a jump address and the fact of branch prediction to a cache memory control part 4 when the conditional branch instruction is decoded by an instruction decoder 3, and a control operation is performed by judging the hit/mis-hit of cache for an instruction fetched in cache memory 5 from main memory 7 by a cache memory control part 4 accordingly.

COPYRIGHT: (C)1994,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-324864

(43)公開日 平成6年(1994)11月25日

(51)Int.Cl.
G 0 6 F
9/38
12/08

識別記号 庁内整理番号
3 3 0 A
3 1 0 Z 7608-5B

F I

技術表示箇所

審査請求 未請求 請求項の数3 OL (全8頁)

(21)出願番号 特願平5-111584

(22)出願日 平成5年(1993)5月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山上 宜彦

東京都府中市東芝町1番地 株式会社東芝
府中工場内

(72)発明者 中田 勝正

東京都府中市東芝町1番地 株式会社東芝
府中工場内

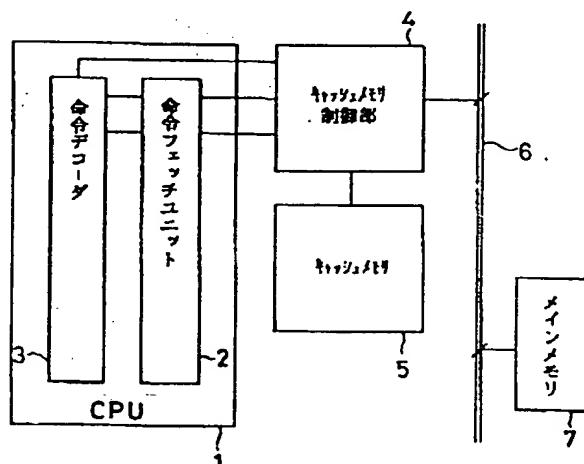
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 分岐予測方式

(57)【要約】

【目的】 パイプライン制御方式のシステム構成において条件付き分岐命令に続く命令を高速にCPUに取込むことができる分岐予測方式を提供することにある。

【構成】 パイプライン制御方式で動作されるCPU1で分岐予測を行うことができ、またこの分岐予測を行うか否かは、命令デコーダ3が条件付き分岐命令を解読した際にキャッシュメモリ制御部4に対し飛び先のアドレス及び分岐予測である旨の通知が出され、これに応じてキャッシュメモリ制御部4がメインメモリ7からキャッシュメモリ5に取り込まれる命令についてキャッシュのヒットまたはミスを判断して制御動作されることに応じてなされることを特徴とする。



分岐先アドレスは、1つもキャッシュミスを起こしたら（何もない）、モニタコントローラーにあわせて命令フェリッシュユニットに送
分岐確定まで待つ。
-159-

従つて、分岐先アドレスは、分岐予測結果に応じてキャッシュ後メインメモリへのフェリッシュを行なうことをやつこざよい。

【特許請求の範囲】

【請求項1】 パイプライン制御方式で動作され、かつ命令の条件が比較して分岐するという流れのときに、この計算結果を待つことなく飛び先のアドレスを先取りする分岐予測を行えるCPUと、前記CPUに設けられ、かつ条件付き分岐命令を解読した際、飛び先のアドレス及び分岐予測である旨の通知を前記CPUの外部へ出力する命令デコーダと、前記命令デコーダからの飛び先のアドレス及び分岐予測である旨の通知を受ける毎に、各種データが格納されているメインメモリからキャッシュメモリに取り込まれる命令についてキャッシュのヒットまたはミスを判断し、キャッシュのヒットまたはミスの状態に応じて前記キャッシュメモリにある命令を前記CPUに送る、もしくは前記メインメモリから前記キャッシュメモリに命令を取り込む、もしくは何もしないのいずれかを選択する制御を行うキャッシュメモリ制御部とを備え、前記CPUでは、前記命令デコーダが条件付き分岐命令を解読した際の前記キャッシュメモリ制御部での動作に応じて分岐予測を行うか否かを判断することを特徴とする分岐予測方式。

【請求項2】 パイプライン制御方式で動作され、かつ命令の条件が比較して分岐するという流れのときに、この計算結果を待つことなく飛び先のアドレスを先取りする分岐予測を行えるCPUと、前記CPUに設けられ、かつ条件付き分岐命令を解読した際、当該分岐命令の次にある命令のフェッチ要求のアドレス、当該分岐命令が分岐する場合の飛び先のアドレス及び分岐予測である旨の通知を前記CPUの外部へ出力する命令デコーダと、前記命令デコーダから前記各アドレス及び分岐予測である旨の通知を受ける毎に、各種データが格納されているメインメモリからキャッシュメモリに取り込まれる命令について前記各アドレス毎にキャッシュのヒットまたはミスを判断し、キャッシュのヒットまたはミスの状態に応じて前記キャッシュメモリにある命令を前記CPUに送る、もしくは前記メインメモリから前記キャッシュメモリに命令を取り込む、もしくは何もしないのいずれかを選択する制御を行うキャッシュメモリ制御部を備え、前記CPUでは、前記命令デコーダが条件付き分岐命令を解読した際の前記キャッシュメモリ制御部での動作に応じて分岐予測を行うか否かを判断することを特徴とする分岐予測方式。

【請求項3】 スーパースカラ制御方式動作され、かつ命令の条件が比較して分岐するという流れのときに、この計算結果を待つことなく飛び先のアドレスを先取りする分岐予測を行えるCPUと、前記CPUに設けられ、かつ条件付き分岐命令の条件に従って命令デコードステージ及び命令実行ステージにある命令をキャンセルできる命令デコーダと、前記CPUに設けられ、かつ前記命令デコーダで条件付き分岐命令を解読した際に、当該条件付き分岐命令が分岐する場合に条件付き分岐命令に続

いて実行される命令、及び当該条件付き分岐命令が分岐しない場合に条件付き分岐命令に統いて実行される命令の両方をフェッチする命令フェッチユニットとを備え、前記CPUでは、前記命令デコーダ及び前記命令フェッチユニットの動作に応じて同一サイクル内に分岐命令が重複されるのを回避することを特徴とする分岐予測方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば複数の命令を同時に先回り並行処理で実行するパイプライン制御方式により動作されるCPUまたは複数の命令を同時実行するスーパースカラ制御方式により動作されるCPUに適用される分岐予測方式に関する。

【0002】

【従来の技術】 従来、パイプライン制御方式で動作されるCPUまたはスーパースカラ制御方式で動作されるCPUは、条件付き分岐命令に続く命令を取り込もうとする場合、その条件が確定した後に条件付き分岐命令に続く命令のアドレスを出していた。

【0003】 即ち、従来の場合、例えば図1に示すようなパイプライン制御方式のシステム構成において、CPU1は、命令フェッチユニット2によりキャッシュメモリ制御部4を介してキャッシュメモリ5にキャッシュされている命令を取り込み、取り込まれた命令を命令デコーダ3で解読し、解読した命令を実行するが、命令デコーダ3に取り込まれた命令が条件付き分岐命令の場合、命令デコーダ3が条件付き分岐命令を解読すると、以下の動作を行う。

【0004】 (i) 現在デコードステージにある条件付き分岐命令の実行を、その条件が確定するまで止め（論理的に止めざるを得ない）、パイプラインインターロックを起こす。（このときすでに命令フェッチユニット2の通常の命令バッファには、この条件付き分岐命令が分岐しない場合に次に実行される命令が入っている。）

【0005】 (ii) その条件付き分岐命令の条件が確定し、その条件付き分岐命令が分岐する場合にはその分岐先の命令のエフェクティブアドレスを2の命令フェッチユニットに送り、通常の命令バッファの中の命令はキャンセルする。その条件付き分岐命令が分岐しない場合にはそのまま実行を続ける。つまり、命令フェッチユニット2の通常の命令バッファの中の命令を実行する。

【0006】 (iii) エフェクティブアドレスを受け取った命令フェッチユニット2は、そのアドレスをキャッシュメモリ制御部4に送る。

【0007】 (iv) キャッシュメモリ制御部4は、送られたアドレスの命令がキャッシュメモリ5にあるか否かを判断し、命令があればそれを命令フェッチユニット2に送る。命令がなければメインメモリ7からシステムバス6を介してその命令を取り込み命令フェッチユニット

3

2に送ると同時にキャッシュファイルを行う。

【0008】このように、従来においては、条件付き分岐命令のその条件が確定するまでは、統く命令のアドレスを出すことができなかった。

【0009】また、例えば図2に示すような2命令同時実行のスーパースカラ制御方式のシステム構成において、CPU11は、命令フェッチャユニット12によりCPU11の外部から2つのアドレスでそれぞれ2命令を取り込み、ブリッフェッチャバッファ14、15にその2命令を順次保持した後に命令デコーダ13に送ると、命令デコーダ13においてブリッフェッチャバッファ14、15から送られた命令を2つ同時に解読し、解読した命令を実行するが、命令デコーダ13に取り込まれた命令が条件付き分岐命令の場合、その条件が確定するまでは、統く命令のアドレスを出すことができなかった。

【0010】

【発明が解決しようとする課題】上記したように、従来技術の場合においては、パイプライン制御方式及びスーパースカラ制御方式のいずれのシステム構成であっても、条件付き分岐命令のその条件が確定するまでは統く命令のアドレスを出すことができないため、条件付き分岐命令の条件を決定するのに要する時間分だけインテロックがかかり、CPUの処理性能を低下させていた。

【0011】本発明は、上記した事情に着目してなされたもので、その第1の目的とするところは、パイプライン制御方式のシステム構成において条件付き分岐命令に統く命令を高速にCPUに取込むことできる分岐予測方式を提供することにある。また、第2の目的とするところは、スーパースカラ制御方式のシステム構成において条件付き分岐命令に統く命令を高速にCPUに取込むことができる分岐予測方式を提供することにある。

【0012】

【課題を解決するための手段】上記第1の目的を達成するため、本発明の第1の構成は、パイプライン制御方式で動作され、かつ命令の条件が比較して分岐するという流れのときに、この計算結果を持つことなく飛び先のアドレスを先取りする分岐予測を行えるCPUと、前記CPUに設けられ、かつ条件付き分岐命令を解読した際、飛び先のアドレス及び分岐予測である旨の通知を前記CPUの外部へ出力する命令デコーダと、前記命令デコーダからの飛び先のアドレス及び分岐予測である旨の通知を受ける毎に、各種データが格納されているメインメモリからキャッシュメモリに取り込まれる命令について前記各アドレス毎にキャッシュのヒットまたはミスを判断し、キャッシュのヒットまたはミスの状態に応じて前記キャッシュメモリにある命令を前記CPUに送る、もしくは前記メインメモリから前記キャッシュメモリに命令を取り込む、もしくは何もしないのいずれかを選択する制御を行うキャッシュメモリ制御部を備え、前記CPUでは、前記命令デコーダが条件付き分岐命令を解読した際の前記キャッシュメモリ制御部での動作に応じて分岐予測を行うか否かを判断することを特徴とする。

30

40

50

ユメモリ制御部での動作に応じて分岐予測で飛び先のアドレスを先取りするか否かを判断することを特徴とする。

【0013】また、上記第1の目的を達成するため、本発明の第2の構成は、パイプライン制御方式で動作され、かつ命令の条件が比較して分岐するという流れのときに、この計算結果を持つことなく飛び先のアドレスを先取りする分岐予測を行えるCPUと、前記CPUに設けられ、かつ条件付き分岐命令を解読した際、当該分岐命令の次にある命令のフェッチャ要求のアドレス、当該分岐命令が分岐する場合の飛び先のアドレス及び分岐予測である旨の通知を前記CPUの外部へ出力する命令デコーダと、前記命令デコーダから前記各アドレス及び分岐予測である旨の通知を受ける毎に、各種データが格納されているメインメモリからキャッシュメモリに取り込まれる命令について前記各アドレス毎にキャッシュのヒットまたはミスを判断し、キャッシュのヒットまたはミスの状態に応じて前記キャッシュメモリにある命令を前記CPUに送る、もしくは前記メインメモリから前記キャッシュメモリに命令を取り込む、もしくは何もしないのいずれかを選択する制御を行うキャッシュメモリ制御部を備え、前記CPUでは、前記命令デコーダが条件付き分岐命令を解読した際の前記キャッシュメモリ制御部での動作に応じて分岐予測を行うか否かを判断することを特徴とする。

【0014】上記第2の目的を達成するため、本発明の第3の構成は、スーパースカラ制御方式で動作され、かつ命令の条件が比較して分岐するという流れのときに、この計算結果を持つことなく飛び先のアドレスを先取りする分岐予測を行えるCPUと、前記CPUに設けられ、かつ条件付き分岐命令の条件に従って命令デコードステージ及び命令実行ステージにある命令をキャンセルできる命令デコーダと、前記CPUに設けられ、かつ前記命令デコーダで条件付き分岐命令を解読した際に、当該条件付き分岐命令が分岐する場合に条件付き分岐命令に統いて実行される命令、及び当該条件付き分岐命令が分岐しない場合に条件付き分岐命令に統いて実行される命令の両方をフェッチする命令フェッチャユニットとを備え、前記CPUでは、前記命令デコーダ及び前記命令フェッチャユニットの動作に応じて同一サイクル内に分岐命令が重複されるのを回避することを特徴とする。

【0015】

【作用】本発明による第1の構成の分岐予測方式であれば、CPUは、パイプライン制御方式で動作され、かつ命令の条件が比較して分岐するという流れのときに、この計算結果を持つことなく飛び先のアドレスを先取りする分岐予測を行える。

【0016】そして、このCPUの命令デコーダでは、条件付き分岐命令を解読した際、飛び先のアドレス及び分岐予測である旨の通知をキャッシュメモリ制御部へ出

5

力することができる。

【0017】一方、キャッシュメモリ制御部では、命令デコードからの飛び先のアドレス及び分岐予測である旨の通知を受ける毎に、各種データが格納されているメインメモリからキャッシュメモリに取り込まれる命令についてキャッシュのヒットまたはミスを判断し、キャッシュのヒットまたはミスの状態に応じてキャッシュメモリにある命令をCPUに送る、もしくはメインメモリからキャッシュメモリに命令を取り込む、もしくは何もしないのいずれかを選択する制御を行う。

【0018】従って、CPUでは、キャッシュメモリ制御部での動作に応じて分岐予測を行うか否かを判断することができる。この判断の結果、分岐予測を行う場合、分岐予測による飛び先のアドレスによりアドレス指定されてCPUに取り込まれた条件付き分岐命令が条件確定後に実行された際は、分岐予測により飛び先のアドレスを先取りした分だけ、条件付き分岐命令に引き続いで実行される命令の処理の開始が早くなる。

【0019】本発明による第2の構成の分岐予測方式であれば、CPUは、パイプライン制御方式で動作され、かつ命令の条件が比較して分岐するという流れのときに、この計算結果の飛び先のアドレスを先取りする分岐予測を行える。

【0020】そして、このCPUの命令デコーダでは、条件付き分岐命令を解読した際、この分岐命令の次にある命令のフェッチ要求のアドレス、この分岐命令が分岐する場合の飛び先のアドレス及び分岐予測である旨の通知をキャッシュメモリ制御部へ出力することができる

【0021】一方、キャッシングメモリ制御部では、命令デコーダから上記の各アドレス及び分岐予測である旨の通知を受ける毎に、各種データが格納されているメインメモリからキャッシングメモリに取り込まれる命令についてキャッシングのヒットまたはミスを判断し、キャッシングのヒットまたはミスの状態に応じてキャッシングメモリにある命令をCPUに送る、もしくはメインメモリからキャッシングメモリに命令を取り込む、もしくは何もしないのいずれかを選択する制御を行う。

【0022】従って、CPUでは、キャッシュメモリ制御部での動作に応じて分岐予測を行うか否かを判断することができる。この判断の結果、分岐予測を行う場合、分岐予測による飛び先のアドレスによりアドレス指定されてCPUに取り込まれた条件付き分岐命令が条件確定後に実行された際は、分岐予測により飛び先のアドレスを先取りした分だけ、条件付き分岐命令に引き続いで実行される命令の処理の開始が早くなる。

【0023】本発明による第3の構成の分岐予測方式であれば、CPUは、スーパー・スカラ制御方式で動作され、かつ命令の条件が比較して分岐するという流れのときに、この計算結果を持つことなく飛び先のアドレスを先取りする分岐予測を行える。

【0024】そして、このCPUの命令デコードでは、条件付き分岐命令の条件に従って命令decodeステージ及び命令実行ステージにある命令をキャンセルできる。また、このCPUの命令フェッチユニットでは、命令decodeで条件付き分岐命令を解読した際に、その条件付き分岐命令が分岐する場合に条件付き分岐命令に統いて実行される命令、及びその条件付き分岐命令が分岐しない場合に条件付き分岐命令に統いて実行される命令の両方をフェッチすることができる。

10 【0025】従って、CPUでは、命令デコード及び命令フェッчユニットの動作に応じて同一サイクル内に分岐命令が重複されるのを回避することができる。これにともない分岐命令の予測がなされた場合には次に分岐命令の予測が入るのを回避した分だけ、条件付き分岐命令に引き続いで実行される命令の処理の開始が早くなる。

[0026]

【実施例】図1は、本発明の第1及び第2の構成の分歧予測方式が適用されるパイプライン制御方式のシステム構成を示す機能ブロック図である。

20

【0027】図1に示すようなシステム構成では、CPU1は、命令フェッчユニット2によりキャッシュメモリ制御部4を介してキャッシュメモリ5にキャッシュされている命令を取り込み、取り込まれた命令を命令decode3で解読し、解読した命令を実行する基本動作を行う。

【0028】そして、本発明の第1の構成の分岐予測方式が適用される第1実施例においては、次の通りとなる。

30 【0029】CPU1は、命令の条件が比較して分岐するという流れのときに、この計算結果を待つことなく飛び先のアドレス（仮想アドレス）を先取りする分岐予測を行える。

【0030】命令フェッチユニット2は、キャッシュメモリ5にキャッシュされている命令をキャッシュメモリ制御部4を介して取り込む。また、通常使われていバッファとは別に、分岐予測用のバッファを1つ持つ。

【0031】命令デコーダ3は、命令フェッчуニット2から送られた命令を解読するとともに、条件付き分岐命令を解読した際、飛び先のアドレス及び分岐予測である旨の通知をキャッシュメモリ制御部4に出力する

【0032】キャッシュメモリ制御部4は、命令フェッチユニット2から送られた仮想アドレスを用いてキャッシュメモリ5もしくはシステムバス6を介してメインメモリ7からデータを取り込むとともに、命令デコード3からの飛び先のアドレス及び分岐予測である旨の通知を受ける毎に、メインメモリ7からシステムバス6及びキャッシュメモリ制御部4を介してキャッシュメモリ5に取り込まれる命令についてキャッシュのヒットまたはミスを判断し、キャッシュのヒットまたはミスの状態に応

じてキャッシュメモリ5にある命令をCPU1に送る、もしくはメインメモリ7からキャッシュメモリ5に命令を取り込む、もしくは何もしないのいずれかを選択する制御を行う。

【0033】従って、CPU1では、命令デコード3が条件付き分岐命令を解読した際のキャッシュメモリ制御部4の動作に応じて以下のように動作される。

【0034】(1) 現在デコードステージにある条件付き分岐命令の条件が確定していないときは、その分岐命令が分岐する場合の飛び先のアドレスを計算し命令フェッチャユニット2に送る。このとき、これが分岐予測によるアドレスであることも伝える。

【0035】(2) アドレスを受け取った命令フェンチユニット2は、そのアドレスをキャッシュメモリ制御部4に送る。このときこれが分岐予測によるアドレスであることも伝える。

【0036】(3) キャッシュメモリ制御部4は、送られたアドレスの命令がキャッシュメモリ5にあるか否かを判断し、命令があればこのアドレスが分岐予測にあるものであるないにかかわらずそれを命令フェッチャユニット2に送り、下記(4)を実行する。キャッシュメモリに命令がなく、このアドレスが分岐予測によるものである場合には何もせず、下記(4')を実行する。キャッシュメモリ5に命令がなく、このアドレスが分岐予測によるものでない場合には、メインメモリ7からその命令を取り込み命令フェッチャユニット2に送ると同時にキャッシュファイルを行う。

【0037】(4) 上記(3)でキャッシュに命令があり、命令フェッチャユニット2が命令を受け取った場合、この命令は命令フェッチャユニット2内の分岐予測用のバッファに格納され、条件付き分岐命令の条件が確定するのを待つ。条件が確定し、その分岐命令が分岐する条件であった場合にはその分岐予測用のバッファ内の命令が実行される。その分岐命令が分岐する条件でなかった場合には通常のバッファ内の命令が実行される。

【0038】(4') 上記(3)でキャッシュに命令がなかった場合には、命令デコード3がその条件付き分岐命令の条件を確定し、その分岐命令が分岐する条件であった場合には命令フェッチャユニット2の通常のバッファ内の命令はキャンセルされ、飛び先の命令のエフェクティブアドレスを命令フェッチャユニット2に送る。このときは通常の命令フェッチャで、フェッチャされた命令は通常のバッファに入る。その分岐命令が分岐しない条件であった場合には通常のバッファ内の命令が実行される。

【0039】上記(4)、(4')の、“通常のバッファ内の命令が実行される”という記述はそのときに通常のバッファ内に命令があった場合であり、ない場合には命令が入ってくるまでインクリロックがかかる。

【0040】このようなことから、本発明の第1の構成の分岐予測方式が適用される第1実施例によれば、キャ

ッシュメモリ制御部4での動作に応じて分岐予測を行うか否かを判断し、この判断の結果、分岐予測を行う場合、分岐予測による飛び先のアドレスによりアドレス指定されてCPU1に取り込まれた条件付き分岐命令が条件確定後に、実行された際は、分岐予測により飛び先のアドレスを先取りした分だけ、条件付き分岐命令に引き続いで実行される命令の処理の開始が早くなる。

【0041】また、本発明の第2の構成の分岐予測方式が適用される第2実施例においては、次の通りとなる。

【0042】CPU1は、命令の条件が比較して分岐するという流れのときに、この計算結果を待つことなく飛び先のアドレスを先取りする分岐予測を行える。

【0043】命令フェッチャユニット2は、キャッシュメモリ5にキャッシュされている命令をキャッシュメモリ制御部4を介して取り込む。また、通常使われているバッファとは別に、分岐予測用のバッファを2つ持つ。

【0044】命令デコード3は、命令フェッチャユニット2から送られた命令を解読するとともに、条件付き分岐命令を解読した際、その分岐命令の次にある命令のフェッチャ要求のアドレス、その分岐命令が分岐する場合の飛び先のアドレス及び分岐予測である旨の通知をキャッシュメモリ制御部5に出力する。

【0045】キャッシュメモリ制御部4は、命令フェッチャユニット2から送られた仮想アドレスを用いて、キャッシュメモリ5もしくはシステムバス6を介してメインメモリ7からデータを取り込むとともに、命令デコードから条件付き分岐命令の次にある命令のフェッチャ要求のアドレス、条件付き分岐命令が分岐する場合の飛び先のアドレス及び分岐予測である旨の通知を受ける毎に、メインメモリ7からシステムバス6及びキャッシュメモリ制御部4を介してキャッシュメモリ5に取り込まれる命令についてキャッシュのヒットまたはミスを判断し、キャッシュのヒットまたはミスの状態に応じてキャッシュメモリ5にある命令をCPU1に送る、もしくはメインメモリ7からキャッシュメモリ5に命令を取り込む、もしくは何もしないのいずれかを選択する制御を行う。

【0046】従って、CPU1では、命令デコード3が条件付き分岐命令を解読した際のキャッシュメモリ制御部4の動作に応じて以下のように動作される。

【0047】(1) 条件付き分岐命令をデコードしたら、そのサイクルでフェッチャしようとしている条件付き分岐命令の次にある命令（その条件付き分岐命令が分岐しない場合にその条件付き分岐命令の次に実行される命令）のフェッチャ要求（リクエスト及びそのアドレス、このアドレスをアドレスAとする）を命令フェッチャユニット2に出すと同時に分岐予測が行われることも伝える。さらにこのとき、その分岐命令が分岐する場合の飛び先のアドレス（アドレスBとする）を計算し命令フェッチャユニット2に送る。また、その条件付き分岐命令の条件を計算することも行う。

【0048】(2) 上記2つのアドレスと分岐予測が行われるという情報を受け取った命令フェッチャユニット2は、その2つのアドレスをキャッシュメモリ制御部4に送る。このときこれが分岐予測によるアドレスであることも伝える。これは、命令バッファが一杯になる等のフェッチャ要求をだせない条件がないかぎり、A、B2つそれぞれのその先のアドレスも分岐予測によるアドレスであることともにキャッシュメモリ制御部4に送る。

【0049】(3) キャッシュメモリ制御部4は、分岐予測によるアドレスを送られた場合には、アドレスA、Bの命令が5つのキャッシュメモリにあるか否かを判断する。このとき、次の4通りの場合が考えられる。

- 【0050】(a) A、B共にキッシュヒットする
- (b) Aはキャッシュヒットし、Bはキャッシュミスする
- (c) Aはキャッシュミスし、Bはキャッシュヒットする
- (d) A、B共にキャッシュミスする

このそれぞれの場合について、以下のように動作する。

【0051】まず、(a)の場合にはAの命令を命令フェッチャユニット2の通常の命令バッファに入れ、Bの命令を命令フェッチャユニット2の分岐予測用のバッファに入れる。(b)の場合にはAの命令を命令フェッチャユニット2の通常の命令バッファに入れることだけをする。(Bの命令のメモリからの取り込みはしない。)(c)の場合にはBの命令を命令フェッチャユニット2の分岐予測用のバッファに入れることだけをする。(Aの命令のメモリからの取り込みはしない。)(d)の場合には何もない。

【0052】このようなことから、本発明の第2の構成の分岐予測方式が適用される第2実施例によれば、キャッシュメモリ制御部4での動作に応じて分岐予測を行うか否かを判断し、この判断の結果、分岐予測を行う場合、分岐予測による飛び先のアドレスによりアドレス指定されてCPU1に取り込まれた条件付き分岐命令が条件確定後に実行された際は、分岐予測により飛び先のアドレスを先取りした分だけ、条件付き分岐命令に引き続いて実行される命令の処理の開始が早くなる。

【0053】図2は、本発明の第3の構成の分岐予測方式が適用されるスーパースカラ制御方式のシステム構成を示す機能ブロック図である。

【0054】図2に示すような2命令同時実行のスーパースカラ制御方式のシステム構成では、CPU11は、命令フェッチャユニット12によりCPU11の外部から2つのアドレスでそれぞれ2命令を取り込み、プリフェッチャバッファ14、15にその2命令を順次保持した後に命令デコーダ13に送ると、命令デコーダ13においてプリフェッチャバッファ14、15から送られた命令を2つ同時に解読し、解読した命令を実行する基本動作を行う。

【0055】そして、本発明の第3の構成の分岐予測方式が適用される第3実施例においては次の通りとなる。

【0056】CPU11は、命令の条件が比較して分岐するという流れのときに、この計算結果を待つことなく飛び先のアドレスを先取りする分岐予測を行える。

【0057】命令フェッチャユニット12はCPU11の外部からの2つのアドレスからそれぞれ2命令を取り込み、取り込んだ2命令をプリフェッチャバッファ14、15に格納するとともに、命令デコーダ13で条件付き分岐命令を解読した際に、その条件付き分岐命令が分岐する場合に条件付き分岐命令に続いて実行される命令、及びその条件付き分岐命令が分岐しない場合に条件付き分岐命令に続いて実行される命令の両方をフェッチする。

【0058】命令デコーダ13は、プリフェッチャバッファ14、15から送られた命令を2つ同時に解読するとともに、条件付き分岐命令の条件に従って命令デコードステージ及び命令実行ステージにある命令をキャンセルできる。

【0059】従って、CPU11では、命令デコーダ13及び命令フェッチャユニット12の動作に応じて以下のように動作される。

【0060】まず、前提として4段以上のパイプラインであり、初めの3段はそれぞれ、“命令フェッチ”、“命令解読”、“命令実行”に当てられているものとする（それぞれをフェッチステージ、デコードステージ、実行ステージと呼ぶ）。また、そこまでの段階で、CPU内のレジスタは書き替えられないとする。また、条件付き分岐命令が参照する条件はコンペア命令が決定し、そのコンペア命令の実行ステージの最後で確定するものとする。すなわち、ある条件付き分岐命令が実行される際には、どんなに遅くとも（その条件付き分岐命令の直前にコンペア命令があり、それらが同時に実行された場合でも）その実行ステージの最後にはその条件付き分岐命令が参照する条件は確定しているとする。

【0061】命令デコーダ3が条件付き分岐命令を解読した場合の動作をサイクルの遷移に従って、以下に説明する。

【0062】(1) 条件付き分岐命令をデコードしたら、そのサイクルで、その分岐命令が分岐する場合の飛び先の2命令（ターゲットT1、ターゲットT2とする）のアドレスを計算する。また、このサイクルでアドレス上でその条件付き分岐命令に続く2命令（条件付き分岐命令が分岐しない場合に、それに続いて実行される命令。ネクストN1、ネクストN2とする）がフェッチステージにいる。

【0063】(2) 次のサイクルでは、ターゲットT1、ターゲットT2のフェッチを行う。ネクストN1、ネクストN2はデコードステージに進む。ここのサイクルの最後で最初の条件付き分岐命令が参照すべき条件が決定される。すなわち、この条件付き分岐命令が分岐するか否かが決定される。ここで、デコードの結果、ネクストN1、ネクストN2はコンペア命令、条件付き分岐

11

命令という組み合わせである場合には(3')を行い、それ以外の組み合わせである場合には(3)を行う。

【0064】(3) 次のサイクルでは、前サイクルで決定された条件付き分岐命令が分岐するか否かにより、以下を行う。このサイクルでは、ネクスト1、ネクストN2は実行ステージに、ターゲットT1、ターゲットT2はデコードステージにそれぞれいる。まず、分岐しない場合には現在デコードステージにいるターゲットT1、ターゲットT2をキャンセルし、ネクストN1、ネクストN2に続く命令のフェッチを行う。分岐する場合には現在実行ステージにいるネクストN1、ネクストN2をキャンセルし、ターゲットT1、ターゲットT2に続く命令のフェッチを行う。

【0065】(3') 次のサイクルでは、まず、ネクストN2のデコードステージを1サイクル延ばす。すなわち、ネクストN1が分岐する場合にネクストN2に統いて実行される命令のアドレスはこのサイクルでなく、次のサイクルの最後になる。それ以外は(3)と同様に、前サイクルで決定された条件付き分岐命令が分岐するか否かにより、以下を行う。まず、分岐しない場合には現在デコードステージにいるターゲットT1、ターゲットT2をキャンセルし、ネクストN1、ネクストN2に続く命令のフェッチを行う。分岐する場合には現在実行ステージにいるネクストN1、デコードステージで遅延されているネクストN2をキャンセルし、ターゲットT1、ターゲットT2に続く命令のフェッチを行う。

【0066】このようなことから、本発明の第3の構成の分岐予測方式が適用される第3実施例によれば、CPU11では、命令デコーダ13及び命令フェッチユニット12の動作に応じて同一サイクル内に分岐命令が重複されるのを回避することができる。これにともない分岐命令の予測がなされた場合には次に分岐命令の予測が入

10

12

るのを回避した分だけ、条件付き分岐命令に引き続いて実行される命令の処理の開始が早くなる。

【0067】

【発明の効果】以上説明したように本発明の第1及び第2の構成の分岐予測方式によれば、パイプライン制御方式のシステム構成において条件付き分岐命令が分岐する場合に、これに続く命令を高速かつ正確にCPUに取り込むことができるので、CPUの処理性能の低下を抑制できる。また、本発明の第3の構成の分岐予測方式によれば、スーパースカラ制御方式のシステム構成において条件付き分岐命令が分岐する場合に、これに続く命令を高速かつ正確にCPUに取り込むことができるのでCPUの処理性能の低下を抑制できる。

【図面の簡単な説明】

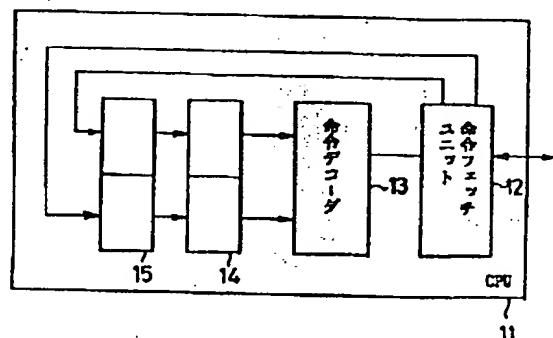
【図1】本発明の第1及び第2の構成の分岐予測方式が適用されるパイプライン制御方式のシステム構成を示す機能ブロック図である。

【図2】本発明の第3の構成の分岐予測方式が適用されるスーパースカラ制御方式のシステム構成を示す機能ブロック図である。

【符号の説明】

- 1 CPU
- 2 命令フェッチユニット
- 3 命令デコーダ
- 4 キャッシュメモリ制御部
- 5 キャッシュメモリ
- 6 システムバス
- 7 メインメモリ
- 11 CPU
- 12 命令フェッチユニット
- 13 命令デコーダ
- 14, 15 プリフェッチバッファ

【図2】



(8)

特開平6-324864

[図1]

